



芯来科技RISC-V处理器

NA900产品简介

产品概述

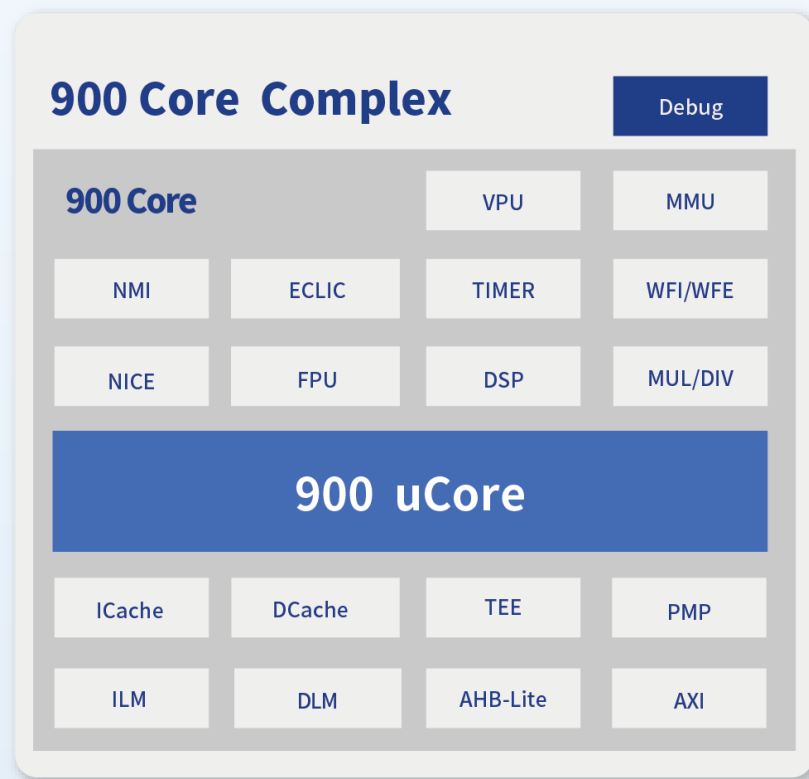
芯来NA900产品是基于RISC-V架构的处理器，支持RV32IMACFDPB，是全球首个获得ISO 26262 ASIL-D功能安全产品认证的RISC-V CPU IP产品。芯来科技和国际知名功能安全认证机构Exida一同完成了本次认证。

NA900为9级流水线、双发射具备顺序发射乱序写回能力的处理器内核，作为芯来高端内核，NA900拥有2.78/5.99(legal/best) Dhrystone/MHz、5.23 Coremark/MHz。

NA900支持本地片上SRAM，可以分别选择配置本地的指令和数据的片上SRAM (ILM/DLM)，提高实时处理能力。在配置本地内存的同时，用户可以增加指令和数据的缓存(I-Cache/D-Cache)以提高整体子系统的性能。

NA900的Dual-Core Lockstep双核锁步模式可以用于满足ASIL-D的功能安全要求，单点覆盖率达到99%。同时为满足ASIL-B的应用，NA900可配置为Dual-Core Split模式，双核独立运行以提高性能，且每个独立核在功能安全上可达到ASIL-B等级。Split模式可通过软件进行配置，给予用户在系统设计时非常大的灵活性。

NA900主要针对汽车电子应用，在发动机主控、自动驾驶、网关、激光雷达主控等场景已有客户落地，对标ARM Cortex-R52等处理器内核。



高性能
高实时性



RV32
IMACFDPB



九级变长
流水设计



支持
I/DCache



机器模式
用户模式
监督模式



双核锁步模式
双核分离模式



ASIL-D



AXI
系统总线



RISC-V
调试标准



四线JTAG
两线JTAG



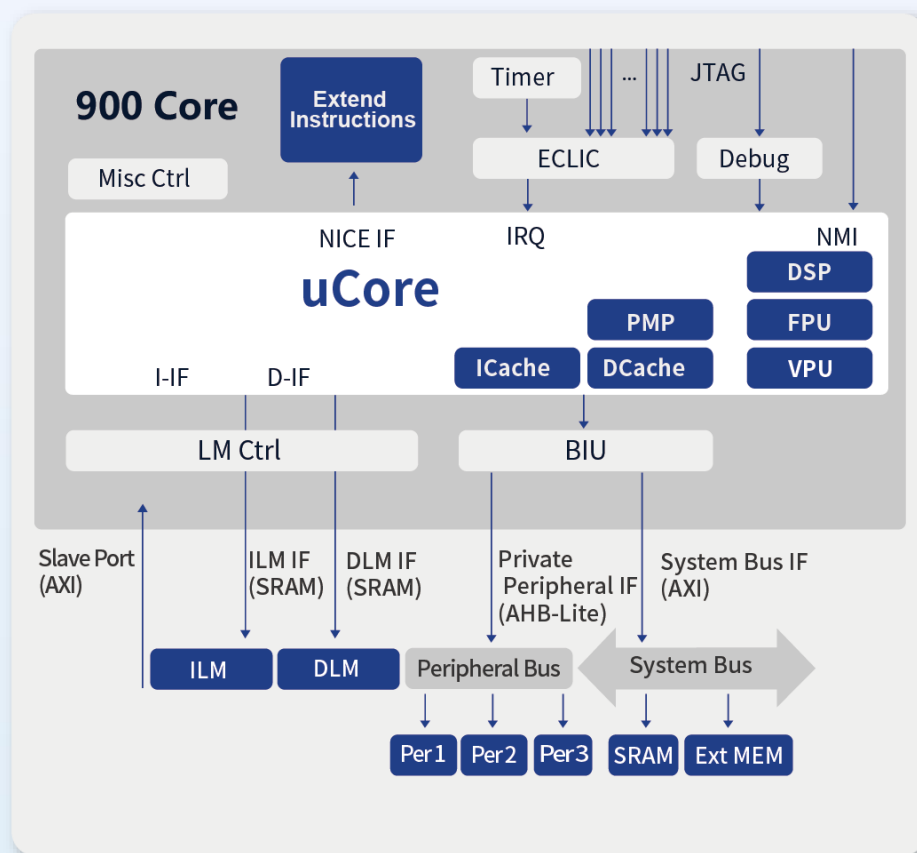
高实时性
中断机制



成熟的开发
调试环境

NA900特性

- 满足ISO26262 ASIL-D产品认证，适用于汽车电子以及功能安全需求的应用场景；
- 支持RV32IMACFDPB指令集，9级变长流水线双发射架构；
- 支持64位AXI总线接口，64位AXI Slave Port接口，ILM/DLM接口和从接口；
- 可配置单双精度浮点和SIMD DSP扩展；
- 可配置指令和数据片上SRAM (ILM/DLM) with ECC；可配置指令缓存 (ICache) with ECC；
- 可配置数据缓存 (DCache) with ECC；
- 可配置PMP安全机制和TEE可信执行环境，满足系统安全需求；
- 支持标准JTAG和cJTAG调试接口，以及Linux/Windows调试工具；
- 支持RISC-V标准编译工具链，以及Linux/Windows的图形化集成开发环境(IDE)



NA900D 系列

Systematic Capability: ASIL D
Hardware Safety Integrity: ASIL D
in DCLS mode

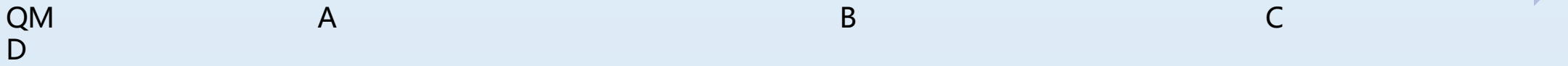
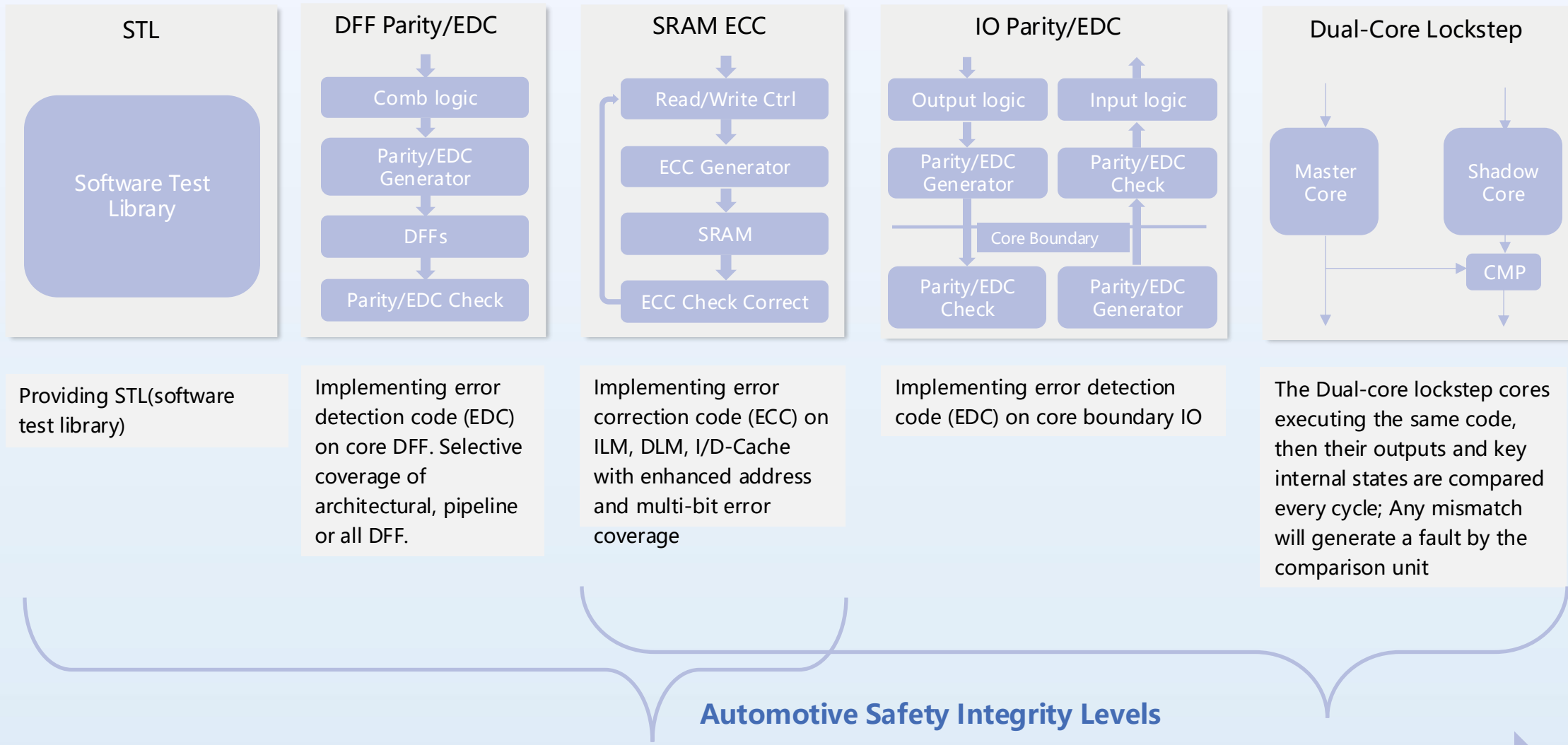


NA900B 系列

Systematic Capability: ASIL D
Hardware Safety Integrity: ASIL B

- 芯来提供自研软件自检库赋能ASIL B应用
- 故障注入仿真FMEDA报告
- ASIL B同时支持单核模式和分离模式 (Split Mode)
- 芯来自研安全增强硬件模块来提高诊断覆盖度和故障报错能力

功能安全等级 (ASIL-B & ASIL-D)



安全手册

FMEDA

Block / Subblock [Drop-down]:	Block / Component	Block / Component Group	High Level Block / Component Group	λ _{permanent} [FIT]	Failure Mode (FM) for the block	FM distribution permanent	FM distribution transient
Master core	master core	-	-	4.7720	All applicable failure mode of computation or communication execution caused by faults in the master core (100) logic	97.0%	99.0%
Master core	master core	-	-	4.7720	Unexpected ECC error detection: 1. Detect error when not expected (false alarm). 2. Not detect a true ECC error.	1.0%	0.5%
Master core	master core	-	-	4.7720	Generate wrong ECC code to the SRAM write data bus	1.1%	1.1%
Master core	master core	-	-	4.7720	Unexpected SBE correction: 1. Do correction on correct data and result in data error. 2. missing a true SBE correction	1.0%	1.0%

Safety Manual

- 2.2. SEooC Overview
 - 2.1 2.1.1. Definition of Components as SEooC
 - 2.2 2.2.2. Processor Modes
 - 2.3 2.3.3. Top-Level Safety Requirements
 - 2.3.1 2.3.1. Performance Impact
 - 2.4 2.4.4. Top-Level Safe States
 - 2.5 2.5.5. Non-Functional Requirements
 - 2.6 2.6.6. Constraints and Assumption of Use
- 3.3. Safety Architecture
 - 3.1 3.1.1. Safety Status and Fault Signals
 - 3.2 3.2.2. Safety Measures
 - 3.2.1 3.2.1.1. Detection & Indication and Reaction Time
 - 3.2.2 3.2.2. Internal Safety Mechanism and Design Measures
 - 3.2.2.1 3.2.2.1. Safety Measure 1: HWSM-DCLS
 - 3.2.2.2 3.2.2.2. Safety Measure 2: HWSM-SRAM-PROT
 - 3.2.2.3 3.2.2.3. Safety Measure 3: I/O Protection HWSM-I-PROT, HWSM-O-PROT
 - 3.2.2.4 3.2.2.4. Safety Measure 4: Non safety Isolation HWSM-NSI-ISO
 - 3.2.2.5 3.2.2.5. Safety Measure 5: TSC Comparator HWSM-DCLS-TSC
 - 3.2.3 3.2.3. External Safety Mechanism
 - 3.2.3.1 3.2.3.1. Safety Measure 6: Watchdog Timer HWSM-EXT-WDG
 - 3.2.3.2 3.2.3.2. Safety Measure 7: External Check on Protected Output Signal HWSM-EXT-O-CHECK
 - 3.3 3.3.3. Assumption of Use for Safety Mechanisms
- 4.4. Integration Requirements
 - 4.1 4.1.1. IP configuration
 - 4.2 4.2.2. Configuration Parameters
 - 4.3 4.3.3. External Hardware Blocks
 - 4.4 4.4.4. Verification Activities of Integrator
 - 4.5 4.5.5. Additional Support From Nuclei

Top level safety requirements (TLRS) on IP / IC Level	TLRS short	SPFM	LFM
1 NA900 shall provide the required safe computation	TLRS 01	99.996%	99.784%
2 NA900 shall protect the data integrity of all safety related SRAM Storage and transfer between core and SRAM.	TLRS 02	99.268%	98.885%
3 NA900 shall provide safe communication through the bus interfaces	TLRS 03	99.996%	99.784%
4 NA900 shall be configured through external miscellaneous input signals, and correctly indicate the processor status through external miscellaneous output signals.	TLRS 04	99.996%	99.784%

NA900系列内存子系统介绍

900系列支持指令和数据片上SRAM: ILM (Instruction Local Memory) 和DLM (Data Local Memory), 提供可观的实时处理能力:

- ILM和DLM拥有128B-2GB的巨大可配置范围, 给予用户极高的灵活性。
- 可配置独立的AHB-Lite接口、SRAM接口以及自定义地址空间。

900系列支持指令缓存Instruction Cache

- 2路组、32B缓存行的缓存结构
- 缓存大小1KB-64KB可配
- 支持缓存行的LOCK和INVAL指令

900系列支持数据缓存Data Cache

- 2路组、32B缓存行的缓存结构
- 缓存大小1KB-64KB可配
- 支持缓存行的LOCK和INVAL指令

900系列系统接口介绍

总线接口	描述	Atomic	Burst	缓存性	协议	总线位宽
系统总线	系统指令及数据	支持	支持	可配置	AXI4	64 bit
ILM接口	本地指令	不支持	不支持	不支持	SRAM	64 bit
DLM接口	本地数据	不支持	不支持	不支持	SRAM	2*32 bit
PPI接口	私有外设	不支持	不支持	不支持	AHB-Lite	32 bit
Slave接口	外部master读取	不支持	支持	不支持	AXI4	64 bit

芯来科技CPU子系统

以CPU IP为核心入口，扩展到周边的其他SoC IP，通过芯来的内部工具完成整合、验证，最终交付于用户一套完整的子系统解决方案。

- **省钱：**全套SoC子系统IP极大降低了客户的SoC一次性投入成本；
- **省时：**预集成的SoC子系统极大缩短了客户的SoC开发时间；
- **省力：**配套的SoC软件驱动与SDK帮助客户快速Bring Up产品原型。

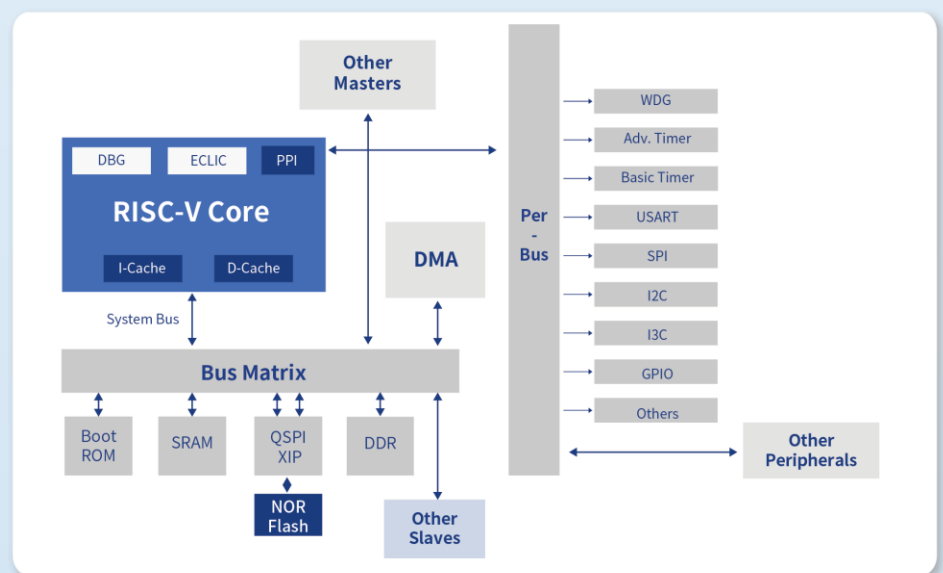


创新的全栈CPU子系统案例

客户案例 一

单核案例：

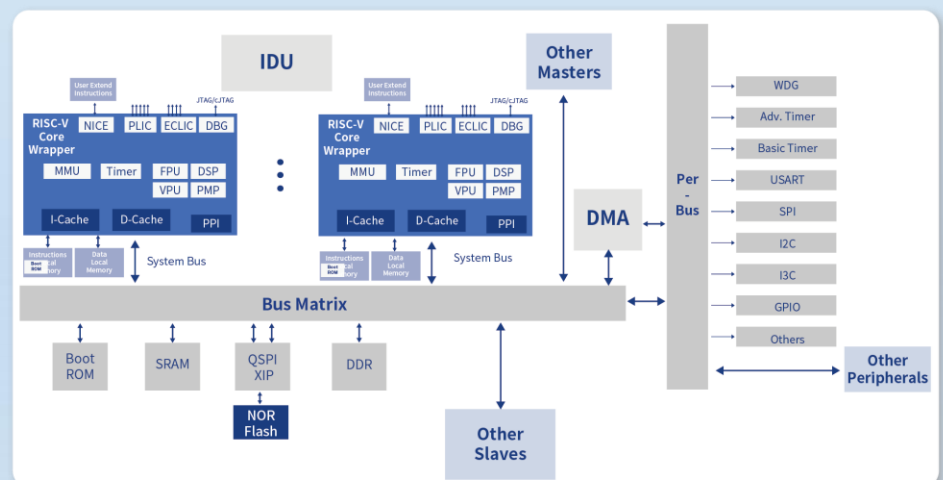
客户基于此子系统所配套的硬件集成和软件SDK于2周内成功Bring Up。



客户案例 二

多核案例：

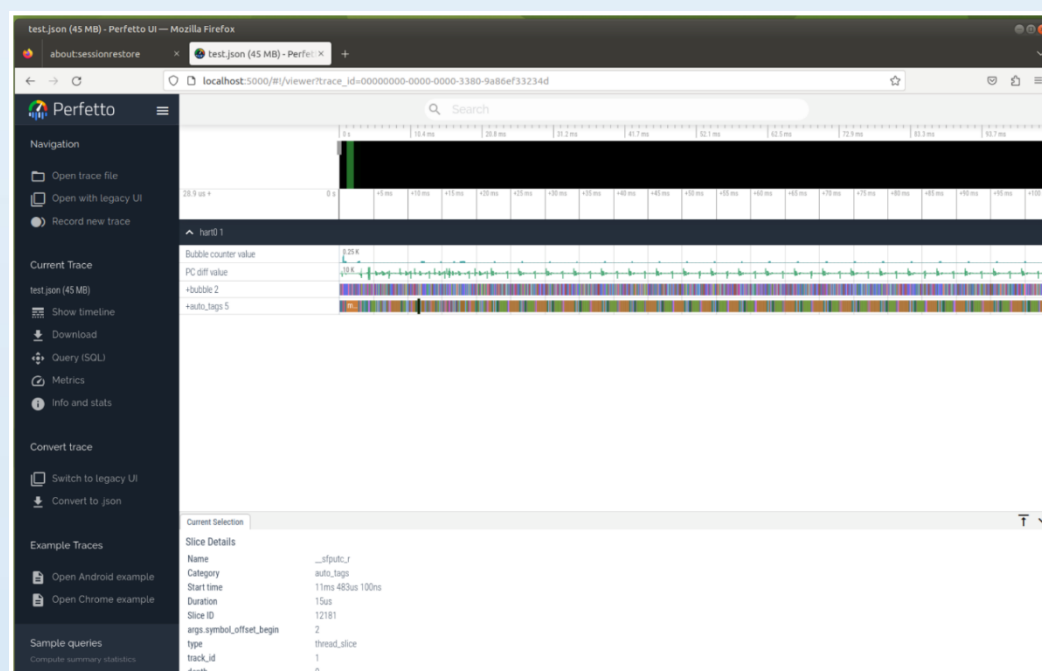
支持双模模式（实时处理模式和应用处理模式），并且包括核间中断处理单元IDU，总线Bus等。



芯来集成开发环境 (IDE)

基于Eclipse CDT开发环境，配合易懂的用户手册，用户可以快速上手。

- 深度集成Nuclei RISC-V GCC, OpenOCD和QEMU
- Nuclei Package(NPK)软件包解决方案
- 支持SoC Subsystem SDK一键导入与使用
- 绿色，免安装
- 一键项目模板 + 一键项目配置
- 代码编写
- 在线调试
- 程序烧写
- 集成串口显示
- 实时显示寄存器
- 支持Linux和Windows
- 深度集成RV Prof -- 进行性能 profiling 和优化的专业工具，精确到每条指令的执行时间等
- 集成RISC-V e-trace，配合ATB2AXI跟踪模块和trace decoder进行CPU的异常分析和性能分析



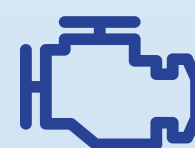
900系列广泛应用于汽车电子领域



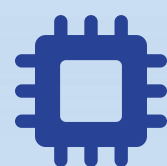
自动驾驶



雷达



发动机主控



MCU



网关



计算