



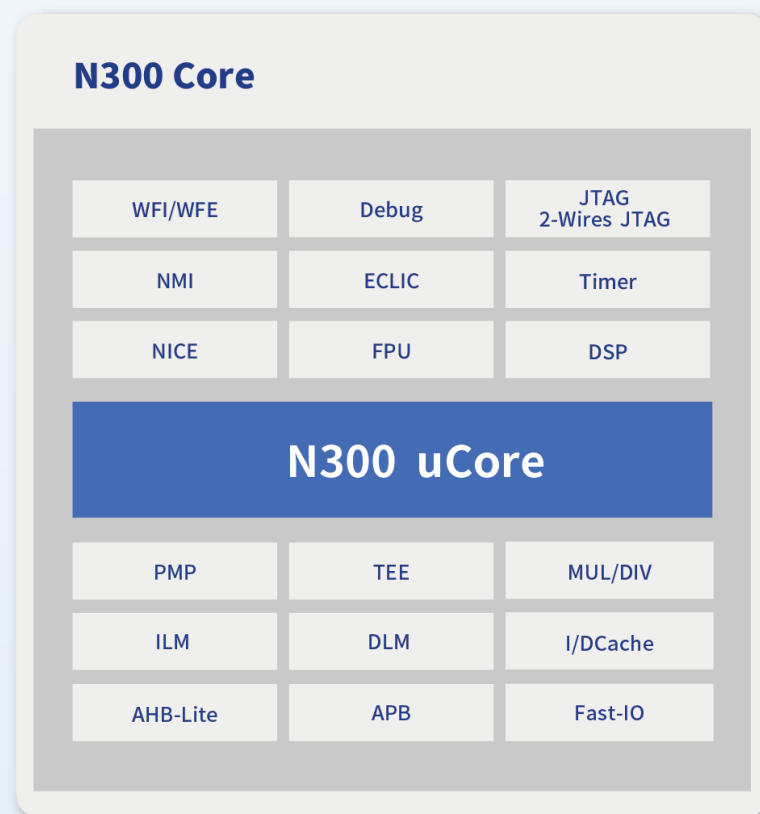
芯来科技RISC-V处理器

NA300产品简介

产品概述

芯来NA300产品是基于RISC-V架构的处理器，支持RV32IMACFDBPC/Zcxlcz，是一款获得ISO 26262 ASIL-D Ready功能安全认证的RISC-V CPU IP产品。芯来科技和国际知名功能安全认证机构Exida一同完成了本次认证。

NA300为3级流水线、双发射具备顺序发射乱序写回能力的处理器内核，拥有业界一流的产品性能，NA300拥有1.51./3.90(legal/best) Dhrystone/MHz 、 3.13 Coremark/MHz。



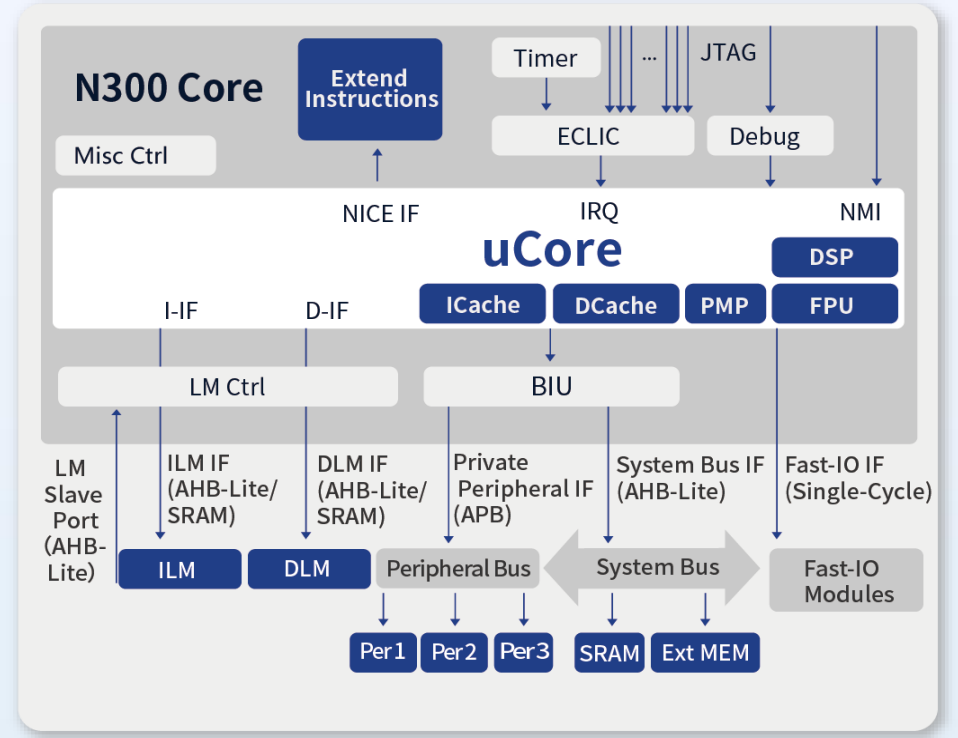
NA300支持本地片上SRAM，可以分别选择配置本地的指令和数据的片上SRAM (ILM/DLM)，提高实时处理能力。在配置本地内存的同时，用户可以增加指令和数据的缓存(I-Cache/D-Cache)以提高整体子系统的性能。

NA300主要针对汽车电子应用，在**发动机主控**等场景已有客户落地，对标ARM Cortex-M33等处理器内核。

 追求 极致性价比	 RV32 RV32IMACFDBP/Zc	 三级变长 流水双发射设计	 支持 I/DCache	 PMP和TEE等 多种安全机制	 单双精度浮点 和SIMD DSP单 元
 ASIL-D Ready	 AHB-Lite 系统总线	 RISC-V 调试标准	 四线JTAG 两线JTAG	 高实时性 中断机制	 成熟的开发 调试环境

NA300特性

- 满足ISO26262 ASIL-D 产品认证，适用于汽车电子以及功能安全需求的应用场景；
- 支持RV32IMACFDBPC/Zcxlcz指令集，3级变长流水线双发射架构；
- 支持32位AHB总线接口，32位AXI Slave Port接口，ILM/DLM接口和从接口；
- 可配置单双精度浮点和SIMD DSP扩展；
- 可配置指令和数据片上SRAM (ILM/DLM) with ECC；可配置指令缓存 (ICache) with ECC；
- 可配置数据缓存 (DCache) with ECC；
- 可配置PMP安全机制和TEE可信执行环境，满足系统安全需求；
- 支持标准JTAG和cJTAG调试接口，以及Linux/Windows调试工具；
- 支持RISC-V标准编译工具链，以及Linux/Windows的图形化集成开发环境(IDE)



- ✓ Safety Manual
- ✓ Safety Analysis Report
- FMEA
- FMEDA
- DFA
- ✓ FMEDA spread sheet



NA300D 系列

Systematic Capability: ASIL D
Hardware Safety Integrity: ASIL D
in DCLS mode

NA300B 系列

Systematic Capability: ASIL D
Hardware Safety Integrity: ASIL B

- 芯来提供自研软件自检库赋能ASIL B应用
- 故障注入仿真FMEDA报告
- ASIL B同时支持单核模式和分离模式 (Split Mode)
- 芯来自研安全增强硬件模块来提高诊断覆盖度和故障报错能力



NA300内存子系统介绍

300系列支持指令和数据片上SRAM: ILM (Instruction Local Memory) 和DLM (Data Local Memory), 提供可观的实时处理能力:

- ILM和DLM拥有128B-2GB的巨大可配置范围, 给予用户极高的灵活性。
- 可配置独立的AHB-Lite接口、SRAM接口以及自定义地址空间。

300系列支持指令缓存Instruction Cache

- 2路组、32B缓存行的缓存结构
- 缓存大小1KB-64KB可配
- 支持缓存行的LOCK和INVAL指令

300系列支持数据缓存Data Cache

- 2路组、32B缓存行的缓存结构
- 缓存大小1KB-64KB可配
- 支持缓存行的LOCK和INVAL指令

NA300系统接口介绍

总线接口	描述	Atomic	Burst	缓存性	协议	总线位宽
系统总线	系统指令及数据	支持	支持	可配置	AHB-Lite	32 bit
I-Cache总线	用于I-Cache miss	不支持	支持	可配置	AHB-Lite	32 bit
ILM接口	本地指令	不支持	不支持	不支持	SRAM/ AHB-Lite	32 bit
DLM接口	本地数据	不支持	不支持	不支持	SRAM/ AHB-Lite	32 bit
PPI接口	私有外设	不支持	不支持	不支持	AHB-Lite	32 bit
Slave接口	外部master读取	不支持	不支持	不支持	AHB-Lite	32 bit

芯来科技CPU子系统

以CPU IP为核心入口，扩展到周边的其他SoC IP，通过芯来的内部工具完成整合、验证，最终交付于用户一套完整的子系统解决方案。

- **省钱**：全套SoC子系统IP极大降低了客户的SoC一次性投入成本；
- **省时**：预集成的SoC子系统极大缩短了客户的SoC开发时间；
- **省力**：配套的SoC软件驱动与SDK帮助客户快速Bring Up产品原型。

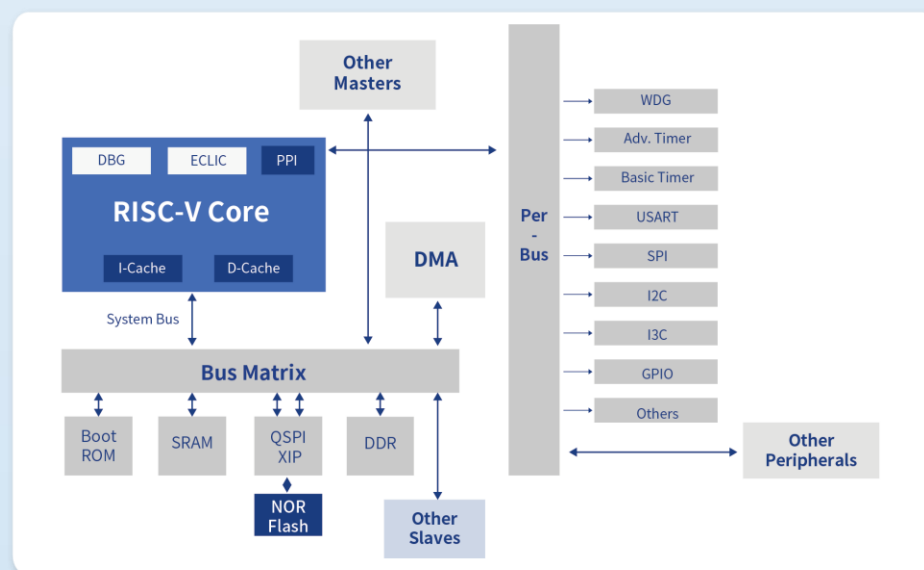


创新的全栈CPU子系统案例

客户案例 一

单核案例：

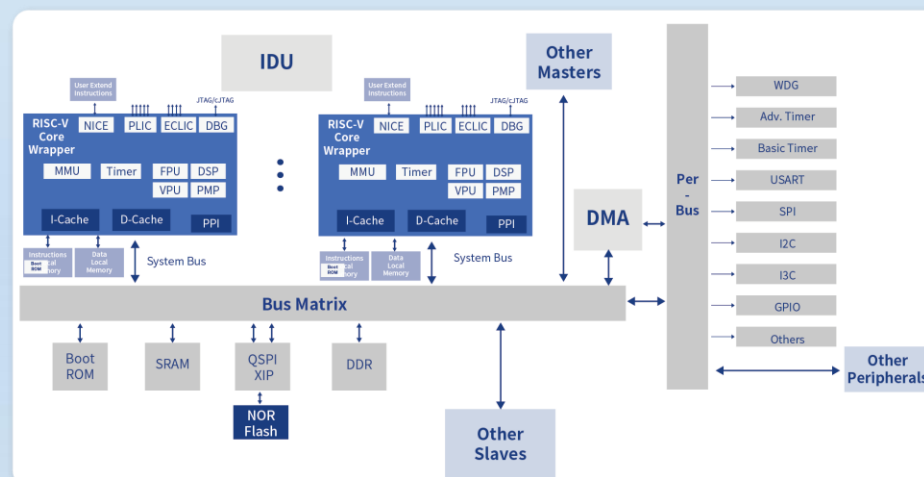
客户基于此子系统所配套的硬件集成和软件SDK于2周内成功Bring Up。



客户案例 二

多核案例：

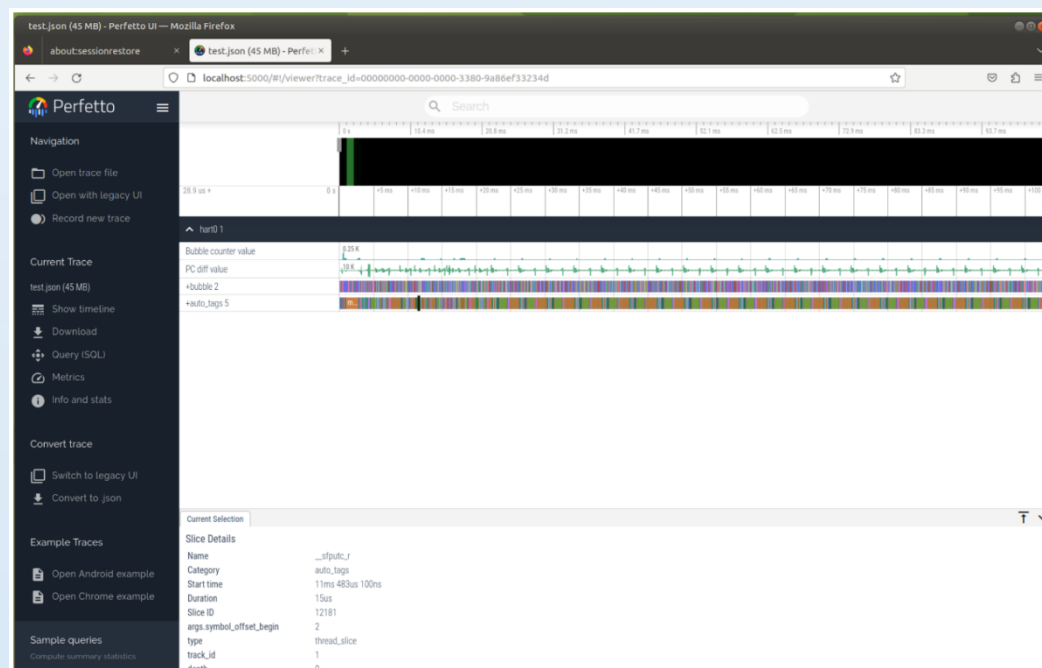
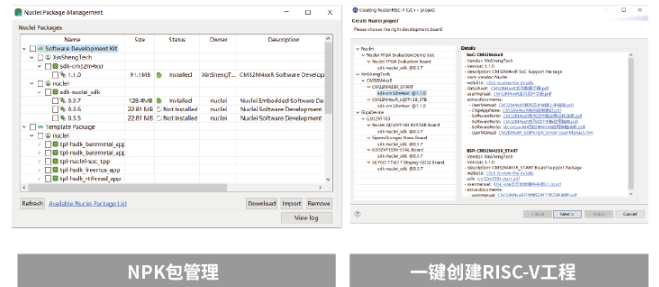
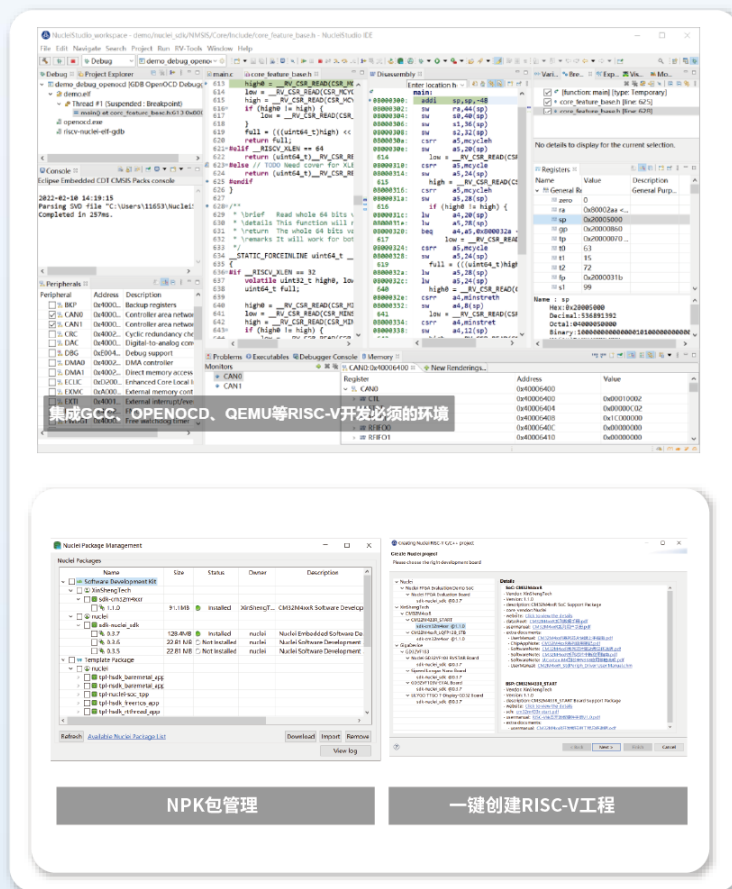
支持双模模式（实时处理模式和应用处理模式），并且包括核间中断处理单元IDU，总线Bus等。



芯来集成开发环境 (IDE)

基于Eclipse CDT开发环境，配合易懂的用户手册，用户可以快速上手。

- 深度集成Nuclei RISC-V GCC, OpenOCD和QEMU
- Nuclei Package(NPK)软件包解决方案
- 支持SoC Subsystem SDK一键导入与使用
- 绿色，免安装
- 一键项目模板 + 一键项目配置
- 代码编写
- 在线调试
- 程序烧写
- 集成串口显示
- 实时显示寄存器
- 支持Linux和Windows
- 深度集成RV Prof -- 进行性能 profiling 和优化的专业工具，精确到每条指令的执行时间等
- 集成RISC-V e-trace，配合ATB2AXI跟踪模块和trace decoder进行CPU的异常分析和性能分析



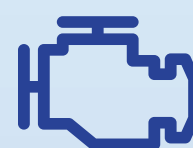
300系列广泛应用于汽车电子领域



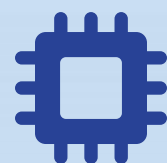
自动驾驶



雷达



发动机主控



MCU



网关



计算