



芯来科技RISC-V处理器

300系列产品简介

产品概述

芯来N300系列产品是基于RISC-V架构的32位嵌入式处理器，支持RV32IMACFDBPKC/Zcxlcz。N300系列为3级流水线顺序执行处理器内核，其中N30x系列为单发射内核；N310系列为双发射内核，在较小的面积代价下提供更高性能的计算能力。

N300系列拥有业界一流的产品性能，单发射N30x拥有1.87/4.7(legal/best) Dhrystone/MHz、3.71 Coremark/MHz；双发射N310拥有2.07/5.13(legal/best) Dhrystone/MHz、4.21 Coremark/MHz。

N300系列支持本地片上SRAM，可以分别选择配置的指令和数据的片上SRAM (ILM/DLM)，提高实时处理能力。同时用户可以增加指令和数据的缓存(I-Cache/D-Cache)以提高整体子系统的性能。

N300系列支持多种系列的RISC-V扩展，包括单双精度浮点、DSP、NICE(芯来自定义扩展指令)、以及TEE(可信执行环境)等，提供给用户丰富的特性支持。

N300系列主要针对低功耗应用，非常适合MCU、AIoT和工业控制等场景。经过长期的打磨以及迭代，N300已经成为了可靠性极强的处理器，深受广大用户的青睐。



追求
极致性价比



RV32
IMACFDBPKC/Zcxlcz



三级变长
流水双发射设计



支持
I/DCache



PMP和TEE等
多种安全机制



单双精度浮点
和SIMD DSP单元



NICE指令
扩展机制



AHB-Lite
系统总线



RISC-V
调试标准



四线JTAG
两线cJTAG



高实时性
中断机制



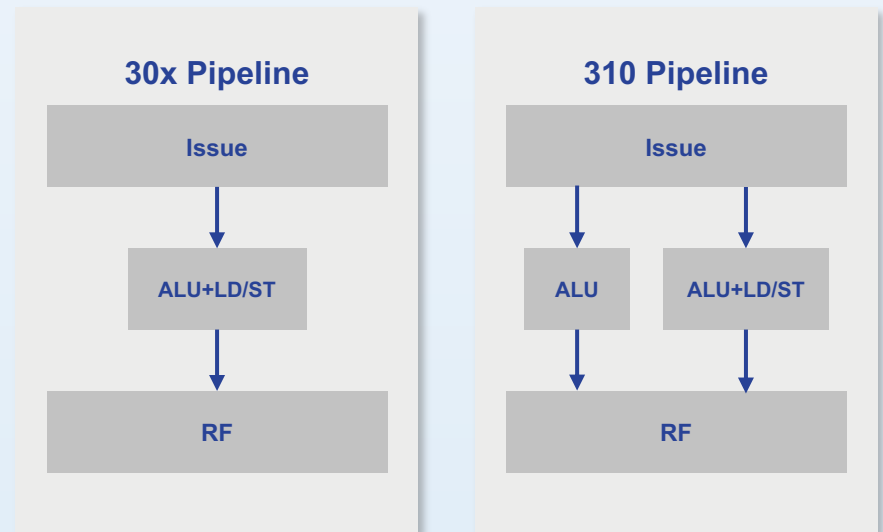
成熟的开发
调试环境

N300特性

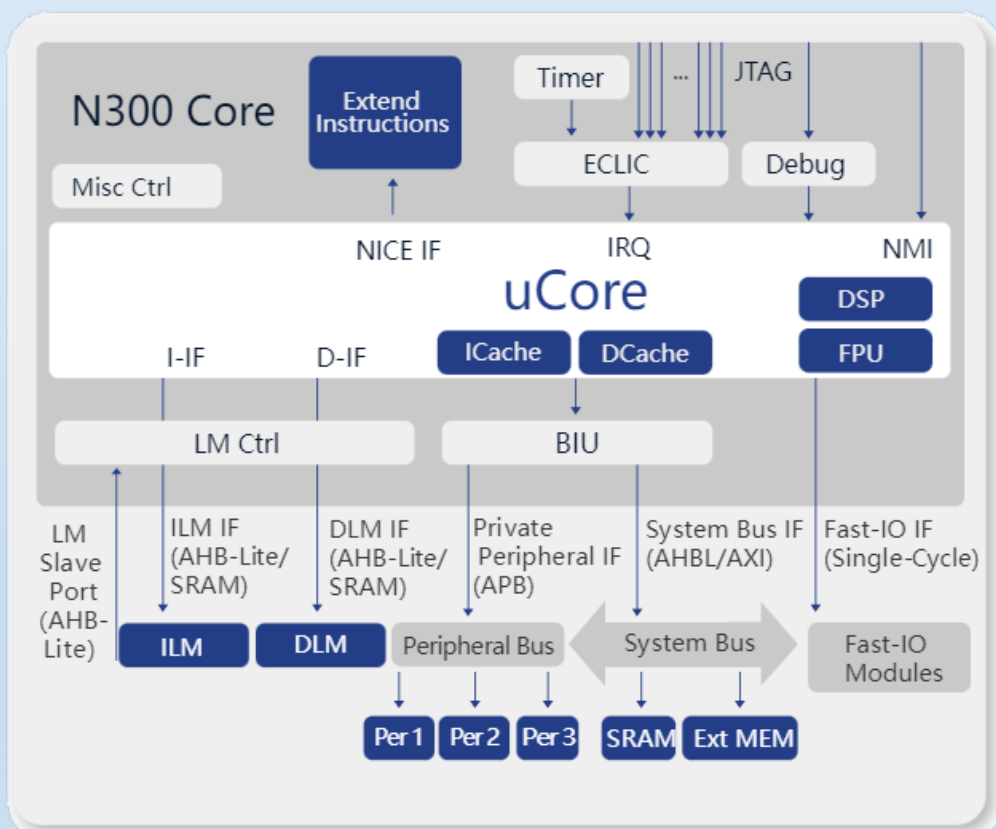
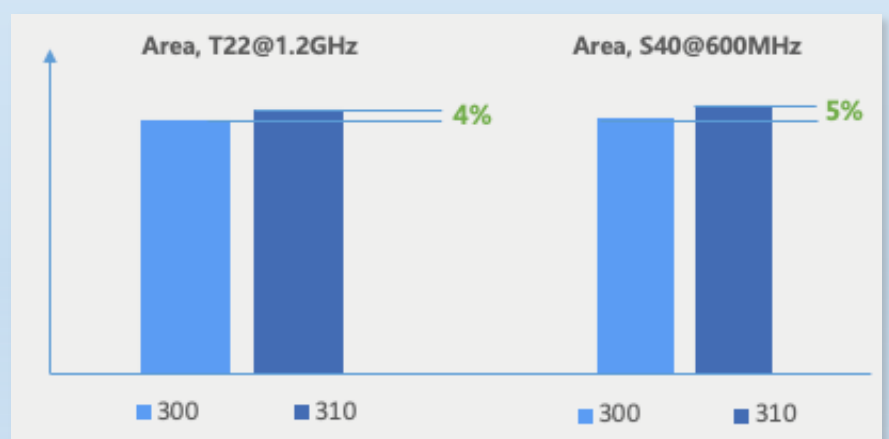
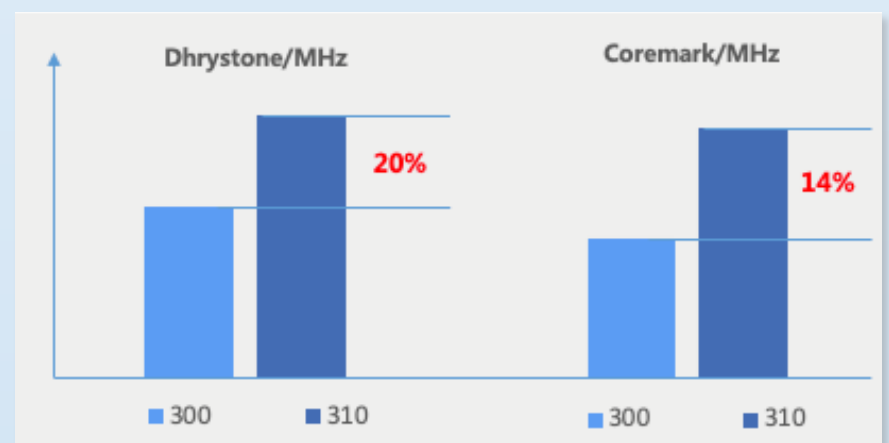
- 支持RISC-V RV32IMACFDBPKC/Zcxlcz指令集架构，可配置出N305、N307、N308、N310等不同级别的处理器；
- 支持快速**中断咬尾**、**中断向量化**、基于优先级的中断嵌套，提供业内先进和低延时的中断特性，满足**实时性**的需求；
- 可配置**双发射特性**；
- 支持用户**扩展**自己的指令(NICE)；
- 可配置指令和数据片上SRAM (ILM/DLM) with ECC；
- 可配置指令缓存 (ICache) with ECC ；
- 可配置数据缓存 (DCache) with ECC ；
- 支持**单双精度浮点**和SIMD DSP扩展；
- 支持**TEE可信执行环境**，满足系统**安全**需求；
- 支持标准**JTAG**和**cJTAG**调试接口，以及Linux/Windows调试工具；
- 支持RISC-V标准编译工具链，以及Linux/Windows的图形化集成开发环境(IDE)

N300系列双发射带来更高性能

N310双发射增加了一个ALU处理单元，提供更高的计算能力。



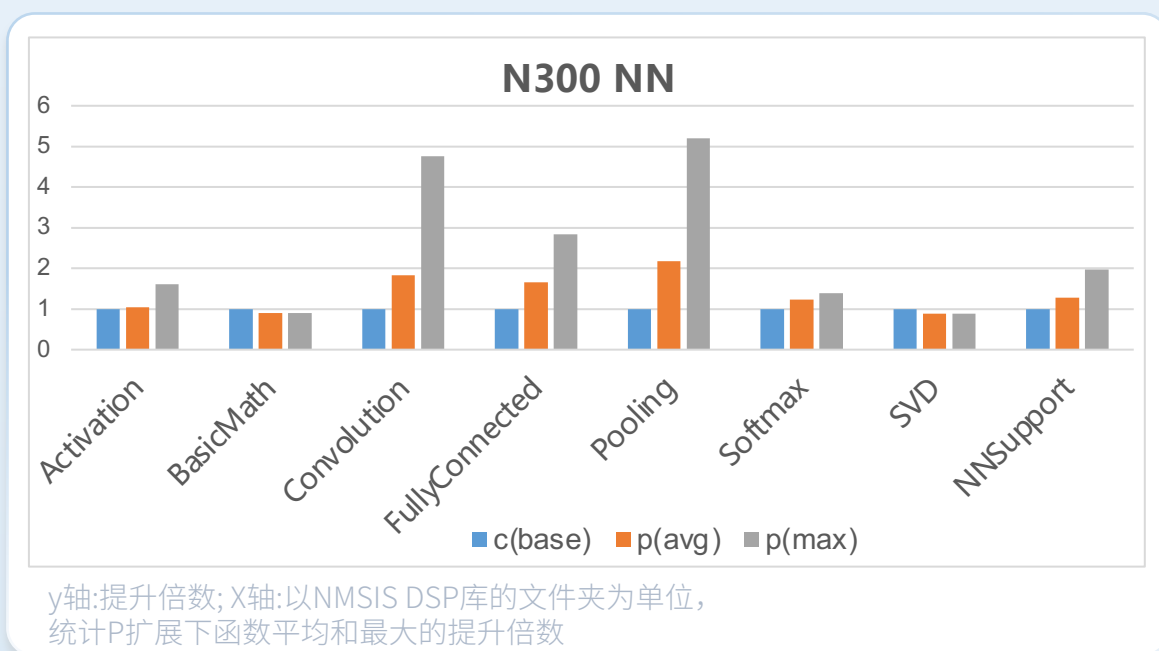
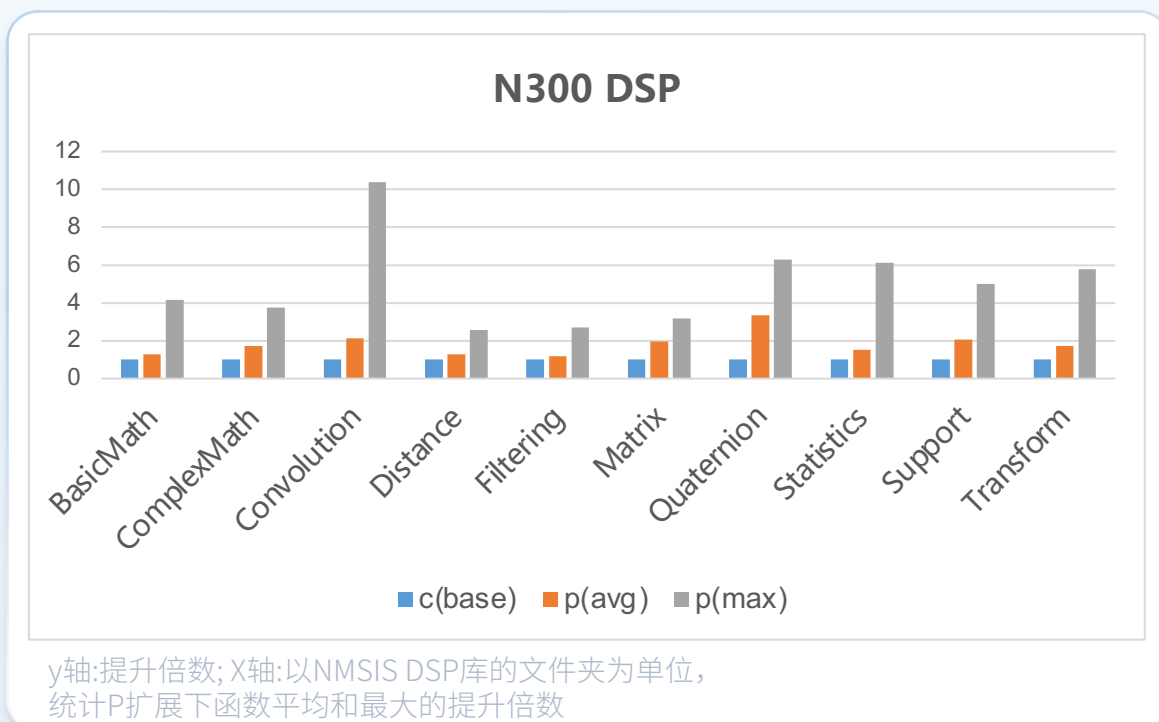
以较小的面积增长为代价，N310提供了比N30x约**15%以上**的性能提升。



N300 DSP扩展特性

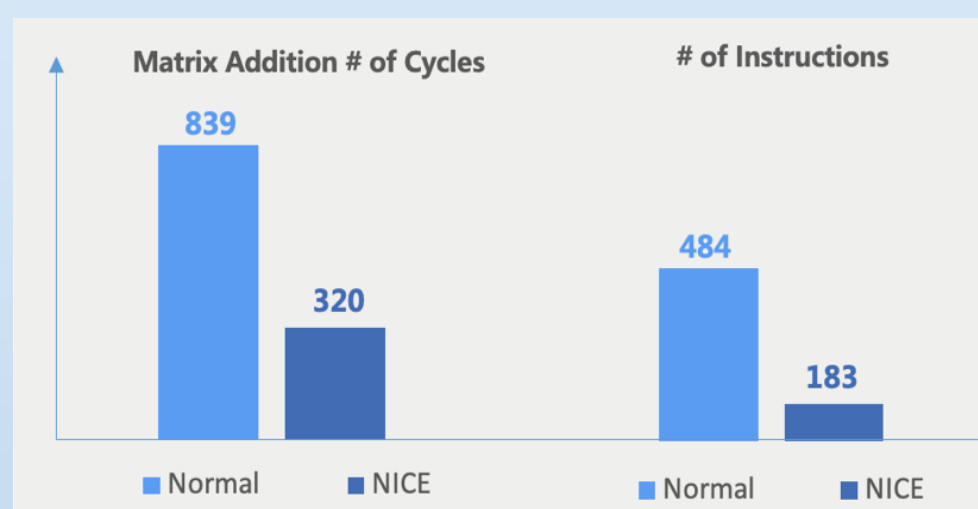
- 支持Packed-SIMD DSP特性，遵循RISC-V “P”扩展；
- 可配置支持芯来自定义的DSP扩展指令：将特定字节Byte转化为XLEN GPR；
- 可支持三种额外的可配置扩展：N1、N2和N3，将SIMD的并行计算能力提升一倍；
- 支持兼容ARM CMSIS的DSP库NMSIS，帮助用户更方便的处理复杂DSP计算；
- 如图，芯来DSP库所带来的各项性能提升；
- 详细定义、可支持指令以及DSP库请参考：

[Nuclei® RISC-V Packed-SIMD DSP QuickStart](#)



N300 NICE自定义指令扩展

- 芯来全系列处理器IP支持NICE(Nuclei Instruction Co-unit Extension), 给用户提供更丰富的自定义和定制化能力；
- 将自定义的硬件协处理器与N300进行整合，为DSA提供高性能和低功耗的计算能力；
- 无需特殊工具链，使用Intrinsic Function即可完成自定义指令的嵌入；
- 如图，通过NICE实现的自定义矩阵加减帮助在执行cycle和指令数量上得到显著的提升。



N300内存子系统介绍

N300系列支持指令和数据片上SRAM：**ILM (Instruction Local Memory)** 和**DLM (Data Local Memory)**，提供可观的实时处理能力：

- ILM和DLM拥有**128B-2GB**的巨大可配置范围，给予用户极高的灵活性。
- 可配置独立的**AHB-Lite接口**、**SRAM接口**以及自定义**地址空间**。

N300系列支持指令缓存Instruction Cache

- **2路组、32B缓存行**的缓存结构
- 缓存大小**1KB-64KB**可配
- 若没有配置ILM，则I-Cache可以通过CSR设置成**暂存器模式(Scratchpad Mode)**
- 支持缓存行的**LOCK和INVAL**指令

N300系列支持数据缓存Data Cache

- **2路组、32B缓存行**的缓存结构
- 缓存大小**1KB-64KB**可配
- 支持缓存行的**LOCK和INVAL**指令

N300系统接口介绍

总线接口	描述	Atomic	Burst	缓存性	协议	总线位宽
系统总线	系统指令及数据	支持	支持	可配置	AHB-Lite/AXI	32 bit
I-Cache总线	用于I-Cache miss	不支持	支持	可配置	AHB-Lite	32 bit
ILM接口	本地指令	不支持	不支持	不支持	SRAM/ AHB-Lite	32 bit
DLM接口	本地数据	不支持	不支持	不支持	SRAM/ AHB-Lite	32 bit
PPI接口	私有外设	不支持	不支持	不支持	AHB-Lite	32 bit
Slave接口	外部master读取	不支持	不支持	不支持	AHB-Lite	32 bit

芯来科技CPU子系统

以CPU IP为核心入口，扩展到周边的其他SoC IP，通过芯来的内部工具完成整合、验证，最终交付于用户一套完整的子系统解决方案。

- 省钱：全套SoC子系统IP极大**降低了**客户的SoC**一次性投入成本**；
- 省时：量身定制的SoC子系统极大**缩短了**客户的SoC**开发时间**；
- 省力：配套的SoC软件驱动与SDK帮助客户**快速Bring Up产品原型**。

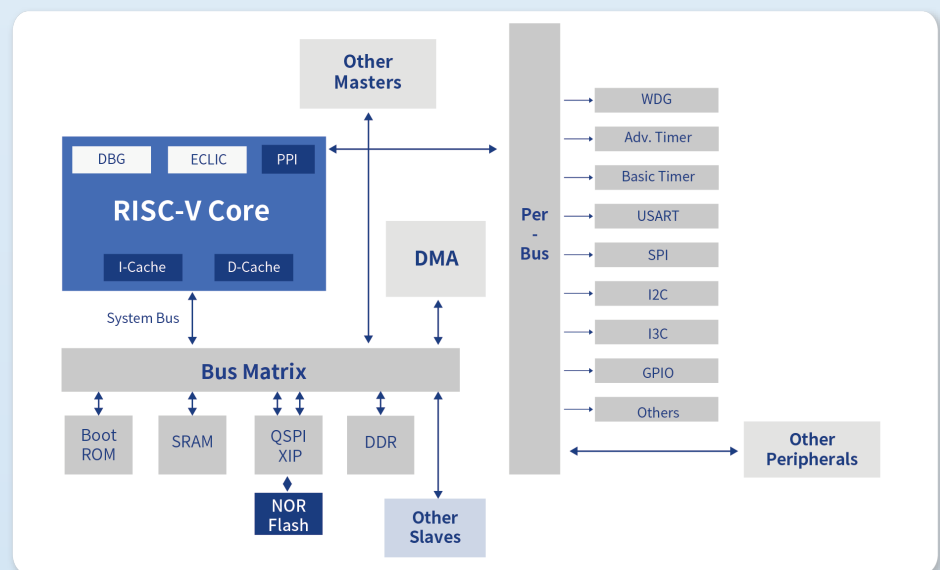


创新的全栈CPU子系统案例

客户案例一

单核案例：

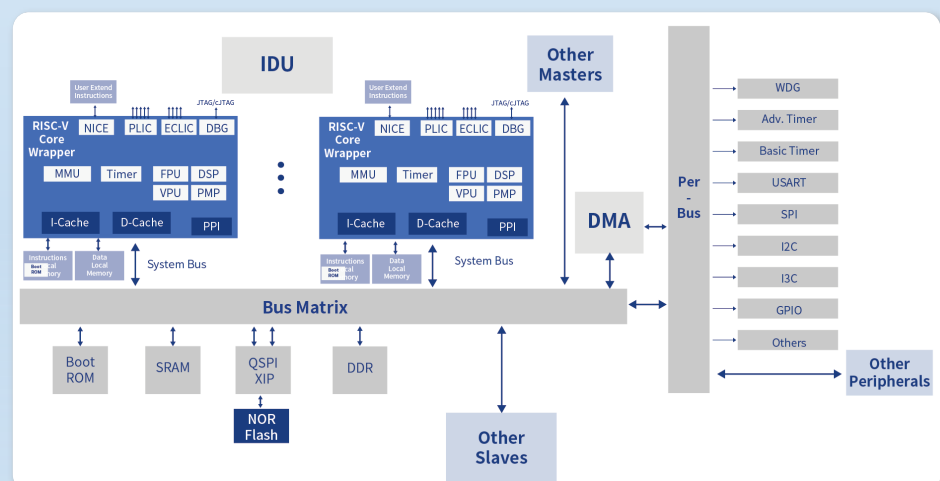
客户基于此子系统所配套的硬件集成和软件SDK于**2周内成功Bring Up**。



客户案例二

多核案例：

支持双模模式（**实时处理模式**和**应用处理模式**），并且包括核间中断处理单元IDU，总线Bus等。



芯来集成开发环境 (IDE)

基于Eclipse CDT开发环境，配合易懂的用户手册，用户可以快速上手。

- 深度集成Nuclei RISC-V GCC, OpenOCD和QEMU
- Nuclei Package(NPK)软件包解决方案
- 支持SoC Subsystem SDK一键导入与使用
- 绿色，免安装
- 一键项目模板
- 一键项目配置
- 代码编写
- 在线调试
- 程序烧写
- 集成串口显示
- 实时显示寄存器
- 支持Linux和Windows



N300系列广泛应用于各领域并大量出货



AIoT



通讯



存储



MCU



无线连接



GNSS导航